



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0015315
Application Number

출원 년 월 일 : 2003년 03월 12일
Date of Application
MAR 12, 2003

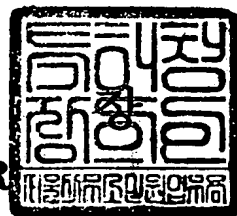
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2003.03.12
【발명의 명칭】	반도체 장치의 트랜지스터 형성 방법
【발명의 영문명칭】	Method for manufacturing a MOS transistor in semiconductor device
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	박영우
【대리인코드】	9-1998-000230-2
【포괄위임등록번호】	1999-030203-7
【발명자】	
【성명의 국문표기】	이동훈
【성명의 영문표기】	LEE, Dong Hun
【주민등록번호】	691225-1011911
【우편번호】	463-010
【주소】	경기도 성남시 분당구 정자동 정든마을 동아아파트 201-1301
【국적】	KR
【발명자】	
【성명의 국문표기】	정진석
【성명의 영문표기】	JUNG, Jin Suk
【주민등록번호】	720420-1080113
【우편번호】	135-930
【주소】	서울특별시 강남구 역삼1동 792-78 헌스빌 401호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 박영우 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 10 면 10,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 21 항 781,000 원

【합계】 820,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

반도체 장치에서 CMOS 트랜지스터를 형성하는 방법이 개시되어 있다. 반도체 기판 상에 각각 N형 게이트 패턴들 및 P형 게이트 패턴들을 형성한다. N형 트랜지스터 형성 영역에 선택적으로 N형 불순물을 주입한다. 상기 N형 게이트 패턴, P형 게이트 패턴 및 기판 표면에 제1 절연막을 증착한다. 상기 N형 트랜지스터 형성 영역에는 상기 제1 절연막을 그대로 남기고, P형 트랜지스터 형성 영역에는 상기 제1 절연막을 이방성 식각하여 상기 P형 게이트 패턴의 측면에 선택적으로 제1 스페이서를 형성한다. 상기 P형 게이트 패턴 및 제1 스페이서가 형성된 상기 P형 트랜지스터 형성 영역에 선택적으로 P형 불순물을 주입하여 CMOS 트랜지스터를 형성한다. 따라서, 식각 데미지에 의한 트랜지스터의 특성 저하를 최소화할 수 있다.

【대표도】

도 3e

【명세서】**【발명의 명칭】**

반도체 장치의 트랜지스터 형성 방법{Method for manufacturing a MOS transistor in semiconductor device}

【도면의 간단한 설명】

도 1은 일반적인 MOS 트랜지스터의 단면도를 보여준다.

도 2는 도 1의 A 부분의 확대도이다.

도 3a 내지 도 3l은 본 발명의 일 실시예에 따른 반도체 장치의 CMOS트랜지스터 형성 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : 반도체 기판	110a: N형 게이트 패턴
110b : P형 게이트 패턴	116 : N형 LDD 영역
120 : 제1 절연막	122 : 포토레지스트 패턴
130 : 제1 스페이서	134 : P형 LDD 영역

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9> 본 발명은 모오스(MOS) 트랜지스터 형성 방법에 관한 것이다. 보다 상세하게, 본 발명은 반도체 장치에서 LDD구조를 갖는 CMOS 트랜지스터를 형성하는 방법에 관한 것이다.

- <10> 도 1은 일반적인 MOS 트랜지스터의 단면도를 보여준다. 도 2는 도 1의 A 부분을 확대 도시한 것이다.
- <11> 도 1을 참조하면, MOS 트랜지스터는 반도체 기판(10) 상에 게이트 절연막 패턴(12)과 게이트(14)가 형성되고 상기 반도체 기판(10)에는 소오스/드레인 영역(16)이 형성되는 구조를 가진다. 또한, 소오스/드레인 영역(16)은 상기 게이트와 인접한 기판 아래에 비교적 불순물의 농도가 낮은 저농도 도핑(LDD) 영역(16a)과 상기 LDD 영역(16a)의 양측으로 불순물 농도가 높은 고농도 도핑(HDD) 영역(16b)을 포함한다.
- <12> 상기와 같은 MOS 트랜지스터는 채널의 종류(type)에 따라 N형 MOS 트랜지스터와 P형 MOS 트랜지스터로 나눌 수 있으며, 상기 N형 및 P형 MOS 트랜지스터가 하나의 기판에 형성되는 경우 이를 CMOS(complementary metal oxide semiconductor)트랜지스터라 한다.
- <13> 최근의 반도체 장치가 초 고집적화됨에 따라, 상기 MOS 트랜지스터의 게이트 길이도 매우 짧아지고 이에 따라 MOS 트랜지스터의 채널 길이가 서브-마이크론(sub-micron)급 이하로 줄어들게 되었다. 상기 채널 길이의 감소로 인해 쇼트 채널 효과나 펀치 쓰루 우등의 현상이 빈번히 발생하여, 상기 MOS 트랜지스터는 정상적인 특성을 확보하기가 어려운 실정이다.
- <14> 특히, 상기 LDD 구조를 갖는 트랜지스터에서 상기 LDD 영역(16a)이 게이트 절연막 패턴(12) 아래의 기판으로 연장되어 상기 게이트(14)와 오버랩되는 길이(D, 도 2참조)는 상기 트랜지스터의 동작 특성에 큰 영향을 준다. 상기 오버랩 길이(D)

가 지나치게 길어지면 상기 채널 길이가 감소하고 오버랩에 의한 기생 캐패시턴스가 증가된다. 또한, 상기 오버랩 길이(D)가 지나치게 짧으면 상기 채널 영역에서의 도펀트들의 이동도가 감소되어 동작 특성이 나빠진다. 따라서, 설계된 트랜지스터의 특성에 맞도록 상기 오버랩 길이(D)를 최적화시키는 것이 매우 중요하다.

<15> 상기 LDD영역(16a)과 상기 게이트(14)간의 오버랩은 상기 LDD 영역(16a)에 주입된 불순물들이 측방으로 확산되면서 발생하게 된다.

<16> 상기 LDD 영역에 주입된 불순물이 과도하게 확산되어 상기 오버랩 길이가 지나치게 길어지는 것을 방지하기 위해, 상기 게이트 절연막 및 게이트 측면에 스페이서를 형성한 이 후에 상기 스페이서가 형성되어 있는 게이트를 이온 주입 마스크로 사용하여 불순물 이온을 주입하기도 한다. 상기 게이트로부터 스페이서 두께만큼 후퇴된 기판 부위에 불순물이 도핑되므로, 이 후에 진행되는 공정에 의해 상기 불순물이 확산되더라도 상기 오버랩 길이가 지나치게 길어지지 않게된다.

<17> 그런데, 상기 NMOS 트랜지스터와 PMOS트랜지스터가 하나의 기판에 형성되는 CMOS 트랜지스터에 각각의 LDD 영역을 형성하는 경우, 동일한 조건하에서 확산에 의해 상기 N형 불순물 및 P형 불순물이 측면 방향으로 이동하는 길이가 서로 다르다. 일반적으로, 상기 N형 불순물이 측면 방향으로 확산되는 길이가 P형 불순물의 측면 방향으로 확산되는 길이보다 더 작다. 때문에, 상기 오버랩 길이를 조절하기 위한 스페이서를 형성하더라도 상기 N형 트랜지스터에서의 오버랩 길이와 P형 트랜지스터에서의 오버랩 길이를 각각 원하는 수준으로 맞추기가 매우 어렵다.

<18> 이하에서는, 상기 오버랩 길이를 고려하여 CMOS트랜지스터를 형성하는 종래의 공정 방법을 소개한다.

<19> 우선, 상기 게이트 패턴을 이온 주입 마스크로 N형 트랜지스터가 형성될 영역에 선택적으로 N형 불순물을 주입하여 N형 LDD 영역을 형성한다. 상기 게이트 패턴의 양측면에 스페이서를 형성한다. 상기 스페이서가 형성되어있는 게이트 패턴을 이온주입 마스크로 P형 게이트가 형성될 영역에 P형 불순물을 주입하여 P형 LDD 영역을 형성한다. 상기 공정 방법을 일 예는 미 합중국특허 제6,316,302호에 개시되어 있다.

<20> 따라서, 상기 P형 LDD영역은 상기 게이트 패턴 가장자리로부터 후퇴된 영역에 P형 불순물이 도핑되어 형성되므로 상기 오버랩 길이가 지나치게 길어지지 않게되는 장점이 있다.

<21> 그러나, 상기 공정 방법에 의하면 상기 N형 LDD 영역이 이미 형성되어 있는 상태에서 상기 게이트 패턴의 양측면에 스페이서를 형성하기 위한 식각 공정이 수행되므로, 상기 N형 LDD영역의 표면에 식각 데미지를 받게된다. 상기 식각 데미지를 받은 상기 N형 LDD 영역은 표면 저항이 매우 증가되며, 이로 인해 트랜지스터의 특성이 열화된다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서, 본 발명의 목적은 동작 특성이 향상되는 CMOS트랜지스터 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<23> 상기한 목적을 달성하기 위하여 본 발명은, N형 트랜지스터 형성 영역 및 P형 트랜지스터 형성 영역이 구분되는 반도체 기판 상에 각각 N형 게이트 패턴들 및 P형 게이트 패턴들을 형성한다. 상기 N형 트랜지스터 형성 영역에 선택적으로 N형 불순물을 주입한다. 상기 N형 게이트 패턴, P형 게이트 패턴 및 기판 표면상에 제1 절연막을 증착한다.

상기 N형 트랜지스터 형성 영역에는 상기 제1 절연막을 그대로 남기고, 상기 P형 트랜지스터 형성 영역에는 상기 제1 절연막을 이방성 식각하여 상기 P형 게이트 패턴의 측면에 선택적으로 제1 스페이서를 형성한다. 상기 P형 게이트 패턴 및 제1 스페이서가 형성된 상기 P형 트랜지스터 형성 영역에 선택적으로 P형 불순물을 주입하여 CMOS트랜지스터를 형성한다.

<24> 또한, 상기한 목적을 달성하기 위하여 본 발명은, N형 트랜지스터 형성 영역 및 P형 트랜지스터 형성 영역이 구분되는 반도체 기판 상에 게이트 절연막 패턴 및 비도핑 폴리실리콘막 패턴이 적층된 형태를 갖는 N형 게이트 패턴들 및 P형 게이트 패턴들을 형성한다. 상기 N형 게이트 패턴, P형 게이트 패턴 및 기판 표면에 데미지 큐어링을 위한 열산화막을 형성한다. 상기 N형 트랜지스터 형성 영역에 선택적으로 N형 불순물을 주입하여, 상기 N형 게이트 패턴에 포함되는 폴리실리콘 패턴을 N형 불순물로 도핑하고, 상기 N형 예비 게이트 양측의 노출된 기판 아래에는 N형 저농도 도핑 영역을 형성한다. 상기 N형 게이트 패턴, P형 게이트 패턴 및 기판 표면에 제1 절연막을 증착한다. 상기 N형 트랜지스터 형성 영역에는 상기 제1 절연막을 그대로 남기고, 상기 P형 트랜지스터 형성 영역에는 상기 제1 절연막을 이방성 식각하여 상기 P형 게이트 패턴의 측면에 선택적으로 제1 스페이서를 형성한다. 상기 P형 게이트 패턴 및 제1 스페이서가 형성된 상기 P형 트랜지스터 형성 영역에 선택적으로 P형 불순물을 주입하여, 상기 P형 게이트 패턴에 포함되는 폴리실리콘 패턴을 P형 불순물로 도핑하고, 상기 제1 스페이서 양측의 노출된 기판 아래로 P형 저농도 도핑 영역을 형성하여 반도체 장치의 트랜지스터를 형성한다.

- <25> 상기 방법에 의하면, 상기 P형 게이트 패턴의 측면에만 선택적으로 제1 스페이서를 형성한다. 따라서, 상기 제1 스페이서를 형성하기 위한 식각 공정 시에 상기 N형 트랜지스터 형성 영역은 전혀 식각에 의한 데미지를 입지 않는다. 이로 인해, 상기 N형 LDD 영역의 저항 증가 등과 같은 불량 발생이 감소된다. 또한, 상기 N형 트랜지스터 및 P형 트랜지스터 각각의 오버랩 길이를 용이하게 조절할 수 있어, N형 및 P형 트랜지스터들의 동작 특성이 양호해진다.
- <26> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하고자 한다.
- <27> 도 3a 내지 도 3l은 본 발명의 일 실시예에 따른 반도체 장치의 CMOS트랜지스터 형성 방법을 설명하기 위한 단면도들이다.
- <28> 도 3a를 참조하면, 반도체 기판(100)의 상에 통상적인 트렌치 소자 분리 공정을 수행하여 액티브 영역 및 필드 영역(100a)을 구분한다. 또한, 상기 반도체 기판(100)은 후속 공정을 통해 N형 MOS트랜지스터가 형성되는 N형 트랜지스터 형성 영역 및 P형 MOS트랜지스터가 형성되는 P형 MOS트랜지스터 형성 영역으로 각각 구분된다.
- <29> 상기 트렌치 소자 분리 공정을 간단히 설명하면, 반도체 기판(100) 상에 패드 산화막, 질화막 및 고온 산화막(도시안함)을 차례로 증착한다. 상기 고온 산화막 상에 실리콘 산질화물(SiON)을 증착하여 반사 방지층(anti-reflective layer)(도시안함)을 형성한 후, 액티브 패턴을 정의하기 위한 사진식각 공정을 진행하여 고온 산화막 패턴을 형성한다. 상기 고온 산화막 패턴을 식각 마스크로 이용하여 상기 질화막 및 패드 산화막을 식각하여 질화막 패턴 및 패드 산화막 패턴을 형성한 후, 계속해서 상기 기판을 소정의 깊이로 식각하여 트렌치를 형성한다. 상기 트렌치를 채우도록 화학 기상 증착 방법으로

CVD-산화막을 형성한 후, 상기 질화막 패턴의 상부 표면이 노출될 때까지 상기 CVD-산화막을 화학 기계적 연마(CMP) 방법으로 제거하여 트렌치의 내부에 필드 산화막이 형성된다. 다음에, 인산 스트립 공정으로 잔류하는 상기 질화막 패턴을 제거한다. 상기 소자 분리 공정에 의해 상기 반도체 기판은 액티브 영역 및 필드 영역(100a)이 구분된다.

<30> 상기 액티브 영역 및 필드 영역(100a)이 구분된 기판(100)상에 게이트 절연막(102)을 30 내지 150Å 정도로 얇게 형성한다. 상기 게이트 절연막(102)은 통상적으로 실리콘 산화막으로 형성한다. 이어서, 상기 게이트 절연막(102)상에 도핑되지 않은 폴리실리콘막(104)을 형성한다.

<31> 도 3b를 참조하면, 상기 게이트 절연막(102) 및 비도핑된 폴리실리콘막(104)의 소정 부위를 순차적으로 식각하여 게이트 절연막 패턴(102a) 및 폴리실리콘막 패턴(104a)이 적층된 게이트 패턴을 형성한다. 이어서, 상기 게이트 패턴 및 반도체 기판(100) 표면에 발생한 식각 데미지를 큐어링하기 위한 열산화막(108)을 형성한다. 상기 열산화막(108)은 약 30 내지 70Å 정도의 두께로 형성한다.

<32> 상기 각 영역에 게이트 패턴은 후속 공정을 통해 N형 트랜지스터용 게이트 패턴 또는 P형 트랜지스터용 게이트 패턴으로 각각 형성된다. 이하에서, 상기 N형 트랜지스터로 형성되는 게이트 패턴은 N형 게이트 패턴(110a)으로, 상기 P형 트랜지스터로 형성되는 게이트 패턴은 P형 게이트 패턴(110b)이라하여 설명한다.

<33> 상기 게이트 패턴 형성 방법을 좀 더 상세히 설명하면, 상기 비도핑된 폴리실리콘막(104) 상에 게이트 패턴 형성을 위한 식각 마스크인 제1 포토레지스트 패턴(도시 안함)을 형성한다. 상기 제1 포토레지스트 패턴을 식각마스크로 하여 상기 폴리실리콘막

(104) 및 게이트 절연막(102)을 순차적으로 식각한다. 이어서, 상기 제1 포토레지스트 패턴을 통상적인 에칭 및 스트립 공정을 수행하여 제거한다.

<34> 도 3c를 참조하면, 상기 열산화막(108) 상에, 상기 N형 트랜지스터 형성 영역을 선택적으로 노출하는 제2 포토레지스트 패턴(112)을 형성한다. 이어서, 상기 제2 포토레지스트 패턴(112)을 이온주입 마스크로 사용하여 상기 N형 트랜지스터 형성 영역에 저농도의 N형 불순물을 주입(114)한다. 따라서, 상기 노출된 폴리실리콘 패턴(105a) 내부 및 기판(100) 저면 아래로 N형 불순물이 주입된다.

<35> 상기 불순물 주입 공정(114)에 의해, 상기 N형 게이트 패턴(110a)에 포함되는 상기 폴리실리콘 패턴(105a)은 N형 불순물이 도핑되어 도전성 갖게된다. 또한, 상기 노출된 기판 저면으로는 N형 LDD 영역(116)이 형성된다.

<36> 상기 N형 불순물은 비소(As) 이온을 사용하는 것이 바람직하다. 이는 상기 비소 이온은 다른 N형 불순물(예컨대, 인)에 비해 비교적 큰 원자량을 갖고 있어, 확산 작용이 빠르게 이루어지지 않고 측방으로 확산되는 길이도 작다. 그러므로, 상기 비소 이온을 주입하여 N형 LDD 영역(116)을 형성하는 경우, 이 후 수행되는 공정들에 의해 N형 LDD 영역(116)이 상기 N형 게이트 패턴(110a) 아래의 채널 영역쪽으로 과도하게 확장되지는 않는다.

<37> 이어서, 상기 제2 포토레지스트 패턴(112)을 통상적인 에칭 및 스트립 공정을 수행하여 제거한다.

<38> 도 3d를 참조하면, 상기 열산화막(108)상에 제1 스페이서로 형성되기 위한 제1 절연막(120)을 형성한다. 상기 제1 절연막(120)은 후속으로 주입되는 P형 불순물이 측면

방향으로의 확산함에 따라 발생하는 오버랩 길이를 조절하기 위해 형성하는 막이다. 따라서, 상기 제1 절연막(120)은 상기 P형 불순물의 확산 길이를 고려하여 일정한 두께로 형성한다. 구체적으로는, 150 내지 250Å의 두께로 형성한다.

<39> 상기 제1 절연막(120)은 하부에 형성되어 있는 상기 열산화막(108)과 식각 선택비를 갖는 실리콘 질화막으로 형성하는 것이 가장 바람직하다. 이는, 후속 공정에서 상기 제1 절연막(120)을 이방성으로 식각할 때 하부의 상기 열산화막(108)은 일정 두께로 남아있어야 상기 기판(100) 표면이 외부에 노출되지 않는다. 때문에, 상기 제1 절연막(120)의 이방성 식각 공정에 의한 기판(100) 표면의 데미지를 최소화할 수 있다. 이하에서는, 상기 제1 절연막(120)을 실리콘 질화막으로 형성하는 것으로 한정하여 설명한다.

<40> 상기 제1 절연막(120)은 도핑된 N형 불순물이 측방으로 확산하는 것을 최소화하기 위해 비교적 낮은 온도에서 형성하는 것이 바람직하다. 상기 제1 절연막(120)을 실리콘 질화막으로 형성하는 경우, 상기 실리콘 질화막은 650 내지 700℃ 정도의 온도에서 형성하는 것이 바람직하다.

<41> 도 3e를 참조하면, 상기 제1 절연막(120) 상에, 상기 P형 트랜지스터 형성 영역을 선택적으로 노출하는 제3 포토레지스트 패턴(122)을 형성한다. 상기 제3 포토레지스트 패턴(122)을 식각 마스크로 하고 상기 제1 절연막(120)을 이방성 식각한다.

<42> 상기 이방성 식각 공정을 수행하면, 제3 포토레지스트 패턴(122)에 의해 마스크된 상기 N형 트랜지스터 형성 영역은 상기 열산화막(108a) 및 제1 절연막(120a)이 그대로 남아있다. 또한, 상기 P형 게이트 패턴의 측면에는 상기 열산화막 패턴(108b) 및 제1 절

연막 패턴(120b)이 적층된 제1 스페이서(130)가 형성된다. 상기 제1 스페이서(130)는 도
시된 바와 같이 모서리 부위가 각진 형태를 갖는 오프셋 스페이서의 형상을 갖는다.

<43> 이어서, 상기 식각 공정시에 발생한 폴리머 등을 제거하기 위한 표면 세정 공정을
수행한다. 상기 표면 세정 공정을 수행하면서 상기 노출된 기판(100) 표면 및 P형 게이
트 패턴(110b) 상부면에 남아있는 열산화막(108)은 거의 대부분 제거된다. 그러나, 상기
표면 세정 공정을 수행한 이 후에 상기 노출된 기판(100) 표면 및 P형 게이트 상부면에
열산화막(108)이 일부 남아있더라도 공정상 문제는 없다.

<44> 도 3f를 참조하면, 상기 제3 포토레지스트 패턴(122) 및 상기 제1 스페이서(130)가
형성된 P형 게이트 패턴(110b)을 이온주입 마스크로 사용하여, 상기 P형 트랜지스터 형
성 영역에 선택적으로 저농도의 P형 불순물을 주입(132)한다.

<45> 상기 불순물 주입 공정(132)에 의해, 상기 P형 게이트 패턴(110b)에 포함되는 폴리
실리콘 패턴(105b)은 P형 불순물이 도핑되어 도전성을 갖게된다. 때문에, 후속 공정을
통해 형성되는 P형 트랜지스터는 반도체 기판(100) 하부로 매립 채널(buried channel)이
생기지 않게 된다.

<46> 또한, 상기 노출된 기판(100) 저면으로는 P형 LDD 영역(134)이 형성된다.

<47> 이 때, 상기 P형 불순물은 붕소(B) 이온을 사용하는 것이 바람직하다. 상기 붕소
이온은 상기 N형 불순물로 사용되는 비소 이온보다 작은 원자량을 갖고 있어 확산 작용
이 빠르게 이루어진다. 그러므로, 상기 붕소 이온을 주입하여 상기 P형 LDD 영역(134)을
형성하면, 상기 P형 LDD 영역(134)은 이 후 공정들을 수행하는 중에 상기 붕소 이온이
측면 방향으로 확산되어 상기 P형 게이트 패턴(110b) 아래의 채널 영역쪽으로 확장된다.

<48> 그러나, 상기 P형 게이트 패턴(110b)의 측면에 선택적으로 제1 스페이서(130)가 형성되어 있기 때문에, 상기 P형 LDD 영역(134)은 상기 제1 스페이서(130)의 양측의 기판 아래에 형성된다. 즉, 상기 P형 LDD 영역(134)은 상기 P형 게이트 패턴(110b) 양측의 기판 영역으로부터 상기 제1 스페이서(130)의 두께만큼 후퇴된 영역에 형성된다. 따라서, 이 후의 열처리 공정등을 수행하여 상기 P형 불순물 이온이 측면 방향으로 확산되더라도 상기 P형 게이트 패턴(110b)과 상기 P형 LDD영역(134)이 서로 겹쳐지는 오버랩 길이가 지나치게 길어지지 않는다.

<49> 또한, 상기 P형 게이트 패턴(110b)의 측면에만 선택적으로 제1 스페이서(130)를 형성하는 공정과 상기 P형 게이트 영역으로 불순물 이온을 주입하는 공정을 수행할 때, 동일하게 상기 제 3 포토레지스트 패턴(122)을 마스크로 사용한다. 즉, 상기 P형 게이트 패턴(110b)의 측면에만 선택적으로 제1 스페이서(130)를 형성하더라도 추가적으로 포토 리소그래피 공정이 요구되지 않는다.

<50> 도 3g를 참조하면, 상기 제3 포토레지스트 패턴(122)을 통상적인 에싱 및 스트립 공정을 수행하여 제거한다. 일반적으로, 상기 에싱 공정은 O_3 플라즈마를 사용하여 수행하고, 스트립 공정은 황산 또는 황산 및 SC1의 혼합 용액을 사용하여 수행한다. 상기 SC1용액은 NH_4OH , H_2O_2 및 H_2O 으로 조성된 혼합 용액이다.

<51> 도 3h를 참조하면, 상기 N형 및 P형 트랜지스터 형성 영역에 남아있는 제1 절연막(120a)및 상기 제1 스페이서(130)에 포함된 제1 절연막 패턴(120b)을 제거한다. 상기 제거 공정은 식각 데미지 감소 측면에서 습식 식각 공정에 의해 수행하는 것이

바람직하다. 상기 제1 절연막(120a) 및 절연막 패턴(120b)은 질화물로 형성되어 있다.

상기 질화물을 제거하는 공정은 인산(H_3PO_4)을 식각액으로 사용하여 수행한다.

<52> 도 3i를 참조하면, 상기 기판(100)상에 실리콘 질화물로 이루어지는 제2 절연막을 형성한다. 이어서, 상기 제2 절연막을 이방성 식각하여 상기 N형 게이트 패턴(110a) 및 P형 게이트 패턴(110b)의 측면에 각각 제2 스페이서(140)를 형성한다. 상기 제2 스페이서(140)는 상기 N형 트랜지스터 및 P형 트랜지스터의 소오스/드레인에서 고농도 도핑 영역을 정의하기 위해 구비된다.

<53> 상기 이방성 식각 공정을 수행한 이 후에 세정 공정을 수행한다. 상기 세정 공정에 의해, 상기 노출된 기판 상에 남아있던 열산화막은 거의 대부분 제거된다.

<54> 도 3j를 참조하면, 상기 N형 및 P형 게이트 패턴(110a, 110b)과 제2 스페이서(140)가 형성되어 있는 기판(100) 상에 상기 N형 트랜지스터 형성 영역을 선택적으로 노출하는 제4 포토레지스트 패턴(142)을 형성한다. 이어서, 상기 제4 포토레지스트 패턴(142)을 이온 주입 마스크로 상기 N형 트랜지스터 형성 영역에 선택적으로 N형 불순물을 주입(144)한다. 상기 N형 불순물 주입 공정(144)을 수행하면, 상기 제2 스페이서(140)의 양측 기판 부위에는 상기 N형 불순물이 2회에 걸쳐 주입되어 소오스/드레인의 N형 고농도 도핑 영역(146)이 형성된다.

<55> 또한, 상기 N형 게이트 패턴(110a)에 포함되는 폴리실리콘 패턴(105a)에도 N형 불순물이 더 도핑된다.

<56> 상기 N형 고농도 도핑 영역(146)을 형성하기 위해 주입되는 N형 불순물은 비소(As) 또는 인(P)을 포함한다. 바람직하게는, 상기 N형 고농도 도핑 영역(146)이 상기 N형 LDD

영역(116)에 비해 이온 주입 깊이가 깊게 형성되도록 상기 비소에 비해 원자량이 작은 인을 주입한다.

<57> 이어서, 상기 제4 포토레지스트 패턴(142)을 제거한다.

<58> 도 3k를 참조하면, 상기 N형 및 P형 게이트 패턴(110a, 110b)과 제2 스페이서(140)가 형성되어 있는 기판(100) 상에 상기 P형 트랜지스터 형성 영역을 선택적으로 노출하는 제5 포토레지스트 패턴(148)을 형성한다. 이어서, 상기 제5 포토레지스트 패턴(148)을 이온 주입 마스크로 상기 P형 트랜지스터 형성 영역에 선택적으로 P형 불순물을 주입(150)한다. 상기 P형 불순물 주입 공정(150)을 수행하면, 상기 제2 스페이서(140)의 양측 기판 부위에는 상기 P형 불순물이 2회에 걸쳐 주입되어 P형 고농도 도핑 영역(152)이 형성된다. 또한, 상기 P형 게이트 패턴에 포함되는 폴리실리콘 패턴에도 P형 불순물이 더 도핑된다.

<59> 상기 주입되는 P형 불순물은 붕소(B)를 포함한다.

<60> 상기 도 3j 및 도 3k를 참조로 설명한 각각의 공정은 서로 순서를 바꾸어 수행하여도 상관 없다.

<61> 도 3l을 참조하면, 상기 제5 포토레지스트 패턴(148)을 제거하여 N형 및 P형 트랜지스터를 포함하는 CMOS 트랜지스터를 형성한다.

<62> 이어서, 도시하지는 않았지만, 상기 게이트 패턴의 상부면 및 소오스/드레인 영역의 상부면에 금속 실리사이드 패턴을 형성한다. 상기 금속 실리사이드 패턴은 상기 게이트 패턴 및 소오스/드레인 영역에서의 저항을 감소시키기 위해 구비된다.

【발명의 효과】

<63> 상술한 바와 같이 본 발명에 의하면, 추가적인 포토리소그래피 공정을 수반하지 않고 상기 P형 게이트 패턴의 측면에만 선택적으로 제1 스페이서를 형성한다. 따라서, 상기 제1 스페이서를 형성하기 위한 식각 공정 시에 상기 N형 트랜지스터 형성 영역은 전혀 식각에 의한 데미지를 입지 않는다. 이로 인해, 상기 N형 LDD 영역의 저항 증가 등과 같은 불량 발생이 감소된다. 또한, 상기 N형 트랜지스터 및 P형 트랜지스터 각각의 오버랩 길이를 용이하게 조절할 수 있어, N형 및 P형 트랜지스터들의 동작 특성이 양호해진다.

<64> 상술한 바와 같이, 본 발명의 바람직한 실시예를 참조하여 설명하였지만 해당 기술 분야의 숙련된 당업자라면 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

【특허청구범위】**【청구항 1】**

i) N형 트랜지스터 형성 영역 및 P형 트랜지스터 형성 영역이 구분되는 반도체 기판상에 각각 N형 게이트 패턴들 및 P형 게이트 패턴들을 형성하는 단계;

ii) 상기 N형 트랜지스터 형성 영역에 선택적으로 N형 불순물을 주입하는 단계;

iii) 상기 N형 게이트 패턴, P형 게이트 패턴 및 기판 표면상에 제1 절연막을 증착하는 단계;

iv) 상기 N형 트랜지스터 형성 영역에는 상기 제1 절연막을 그대로 남기고, 상기 P형 트랜지스터 형성 영역에는 상기 제1 절연막을 이방성 식각하여 상기 P형 게이트 패턴의 측면에 선택적으로 제1 스페이서를 형성하는 단계;

v) 상기 P형 게이트 패턴 및 제1 스페이서가 형성된 상기 P형 트랜지스터 형성 영역에 선택적으로 P형 불순물을 주입하는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 2】

제1항에 있어서, i) 단계의 상기 N형 게이트 패턴 및 P형 게이트 패턴은 게이트 절연막 패턴 및 비도핑 폴리실리콘막 패턴이 적층된 형태를 갖는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 3】

제1항에 있어서, i) 단계를 수행한 이 후에 상기 게이트 패턴 및 기판 표면에 데미지 큐어링을 위한 산화막을 더 형성하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 4】

제1항에 있어서, 상기 ii) 단계는,

상기 N형 트랜지스터 형성 영역을 선택적으로 노출하는 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 이온 주입 마스크로 하고 상기 N형 게이트 패턴 및 노출된 기판 표면 아래로 N형 불순물을 주입하여, 상기 N형 게이트 패턴 및 N형 저농도 도핑 영역을 형성하는 단계;

상기 제1 포토레지스트 패턴을 제거하는 단계를 수행하여 이루어지는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 5】

제1항에 있어서, 상기 ii) 단계에서 N형 불순물은 비소(As)를 포함하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 6】

제1항에 있어서, 상기 절연막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 7】

제5항에 있어서, 상기 절연막은 700 내지 800℃의 온도 조건에서 형성하는 것을 특징으로 하는 반도체 장치의 형성 방법.

【청구항 8】

제1항에 있어서, 상기 절연막은 160 내지 240Å의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 9】

제1항에 있어서, 상기 iv) 단계는,

상기 P형 트랜지스터 형성 영역을 선택적으로 노출하는 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 식각 마스크로 하고 상기 P형 트랜지스터 형성 영역에 증착된 절연막을 선택적으로 이방성 식각하여, 상기 P형 게이트 패턴 측면에 제1 스페이서를 형성하는 단계를 수행하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 10】

제1항에 있어서, 상기 v) 단계는,

상기 제2 포토레지스트 패턴을 이온 주입 마스크로 하고 상기 P형 게이트 패턴 및 노출된 기판 표면 아래로 P형 불순물을 주입하여, 상기 P형 게이트 패턴 및 P형 저농도 도핑 영역을 형성하는 단계; 및

상기 제2 포토레지스트 패턴을 제거하는 단계를 수행하여 이루어지는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 11】

제1항에 있어서, 상기 v)단계의 P형 불순물은 붕소(B)를 포함하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 12】

제1항에 있어서, 상기 v) 단계를 수행한 이 후에,
상기 N형 트랜지스터 형성 영역에 남아있는 절연막 및 상기 P형 트랜지스터 형성 영역의 제1 스페이서를 선택적으로 제거하는 단계;

상기 N형 게이트 패턴 및 P형 게이트 패턴의 측면에 제2 스페이서를 형성하는 단계 ;

상기 N형 게이트 패턴 및 제2 스페이서가 형성된 상기 N형 트랜지스터 형성 영역에 선택적으로 N형 불순물을 주입하는 단계; 및

상기 P형 게이트 패턴 및 제2 스페이서가 형성된 상기 P형 트랜지스터 형성 영역에 선택적으로 P형 불순물을 주입하는 단계를 더 수행하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 13】

제11항에 있어서, 상기 절연막 및 제1 스페이서는 습식 식각 공정에 의해 제거하는 것을 특징으로 하는 트랜지스터 형성 방법.

【청구항 14】

제11항에 있어서, 상기 절연막 및 제1 스페이서를 제거하기 위한 식각액은 인산(H_3PO_4)을 포함하는 것을 특징으로 하는 트랜지스터 형성 방법.

【청구항 15】

제11항에 있어서, 상기 N형 불순물은 인 또는 비소인 것을 특징으로 하는 트랜지스터 형성 방법.

【청구항 16】

i) N형 트랜지스터 형성 영역 및 P형 트랜지스터 형성 영역이 구분되는 반도체 기판 상에 게이트 절연막 패턴 및 비도핑 폴리실리콘막 패턴이 적층된 형태를 갖는 N형 게이트 패턴들 및 P형 게이트 패턴들을 형성하는 단계;

ii) 상기 N형 게이트 패턴, P형 게이트 패턴 및 기판 표면에 데미지 큐어링을 위한 열산화막을 형성하는 단계;

iii) 상기 N형 트랜지스터 형성 영역에 선택적으로 N형 불순물을 주입하여, 상기 N형 게이트 패턴에 포함되는 폴리실리콘 패턴을 N형 불순물로 도핑하고, 상기 N형 예비 게이트 양측의 노출된 기판 아래에는 N형 저농도 도핑 영역을 형성하는 단계;

iv) 상기 N형 게이트 패턴, P형 게이트 패턴 및 기판 표면상에 제1 절연막을 증착하는 단계;

v) 상기 N형 트랜지스터 형성 영역에는 상기 제1 절연막을 그대로 남기고, 상기 P형 트랜지스터 형성 영역에는 상기 제1 절연막을 이방성 식각하여 상기 P형 게이트 패턴의 측면에 선택적으로 제1 스페이서를 형성하는 단계;

vi)상기 P형 게이트 패턴 및 제1 스페이서가 형성된 상기 P형 트랜지스터 형성 영역에 선택적으로 P형 불순물을 주입하여, 상기 P형 게이트 패턴에 포함되는 폴리실리콘 패턴을 P형 불순물로 도핑하고, 상기 제1 스페이서 양측의 노출된 기판 아래로 P형 저농도 도핑 영역을 형성하는 단계를 수행하는 것을 특징으로 하는 트랜지스터 형성 방법.

【청구항 17】

제15항에 있어서, 상기 절연막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 18】

제15항에 있어서, 상기 절연막은 160 내지 240Å의 두께로 형성하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 19】

제15항에 있어서, 상기 v) 단계는,

상기 P형 트랜지스터 형성 영역을 선택적으로 노출하는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 식각 마스크로 하고 상기 P형 트랜지스터 형성 영역에 증착된 절연막을 선택적으로 이방성 식각하여, 상기 P형 게이트 패턴 측면에 제1 스페이서를 형성하는 단계를 수행하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 20】

제18항에 있어서, 상기 vi) 단계는,

상기 포토레지스트 패턴을 이온 주입 마스크로 하고 상기 P형 게이트 패턴 및 노출된 기판 표면 아래로 P형 불순물을 주입하는 단계; 및

상기 포토레지스트 패턴을 제거하는 단계를 수행하여 이루어지는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【청구항 21】

제15항에 있어서, 상기 v) 단계를 수행한 이 후에,

상기 N형 트랜지스터 형성 영역에 남아있는 절연막 및 상기 P형 트랜지스터 형성 영역의 제1 스페이서를 선택적으로 제거하는 단계;

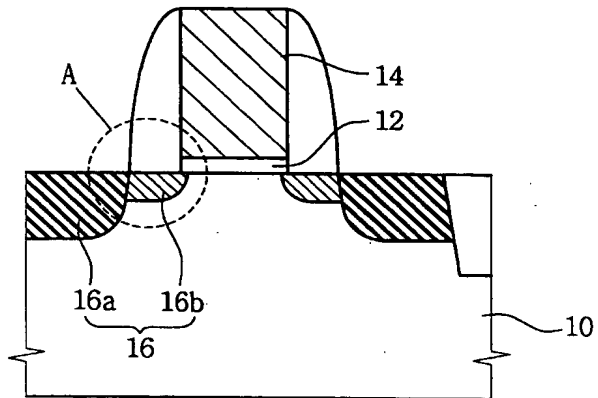
상기 N형 게이트 패턴 및 P형 게이트 패턴의 측면에 각각 제2 스페이서를 형성하는 단계;

상기 N형 게이트 패턴 및 제2 스페이서가 형성된 상기 N형 트랜지스터 형성 영역에 선택적으로 N형 불순물을 주입하여 N형 고농도 도핑 영역을 형성하는 단계; 및

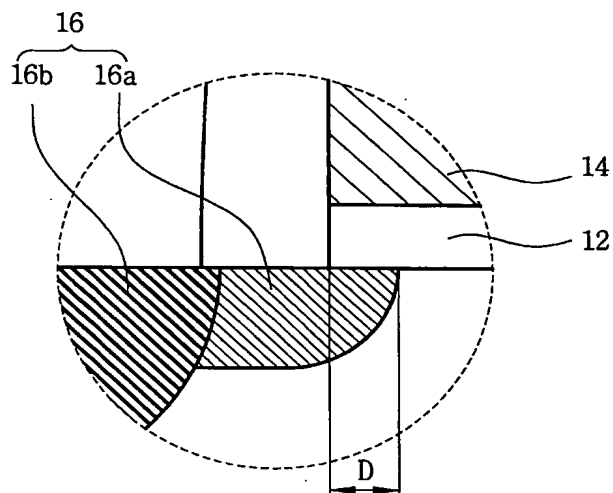
상기 P형 게이트 패턴 및 제2 스페이서가 형성된 상기 P형 트랜지스터 형성 영역에 선택적으로 P형 불순물을 주입하여 P형 고농도 도핑 영역을 형성하는 단계를 더 수행하는 것을 특징으로 하는 반도체 장치의 트랜지스터 형성 방법.

【도면】

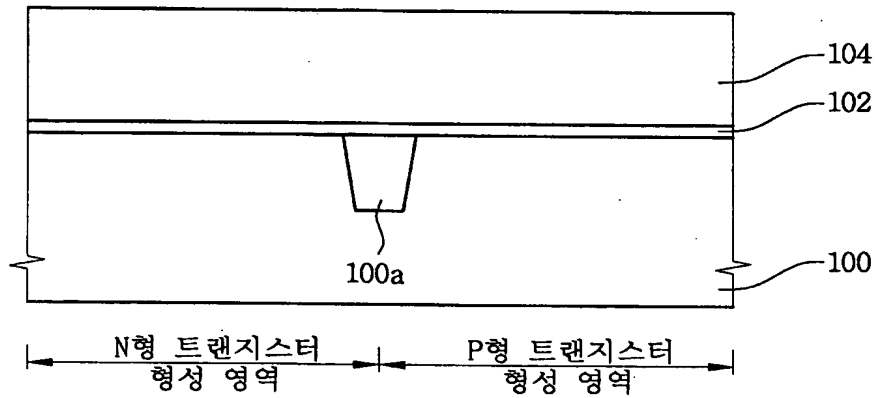
【도 1】



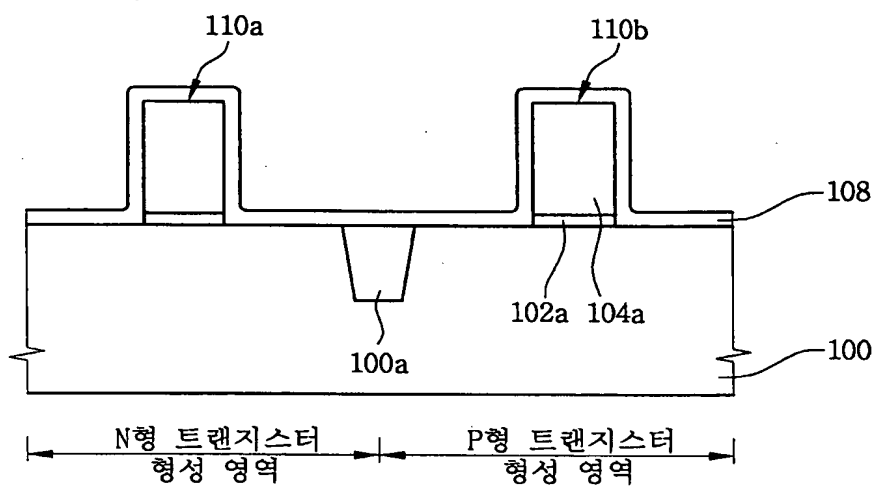
【도 2】



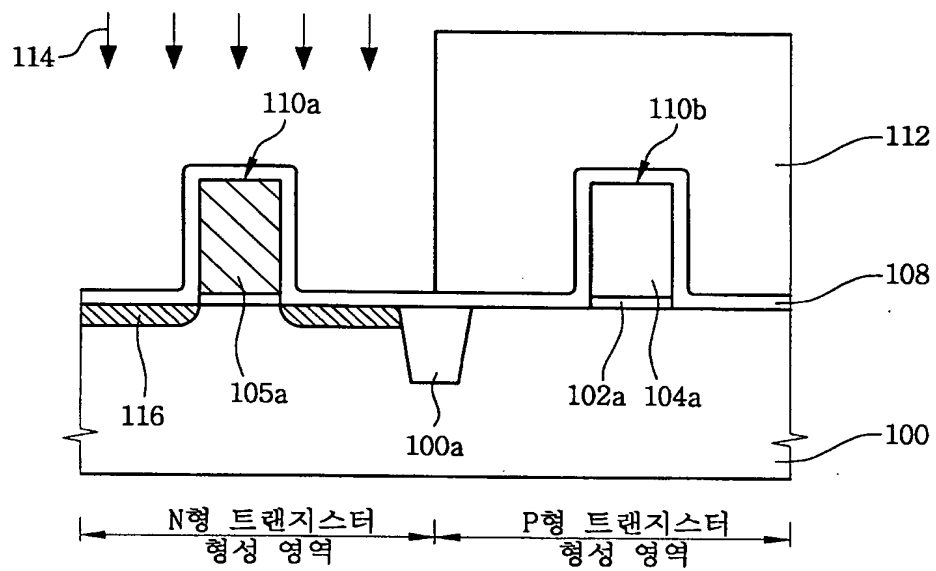
【도 3a】



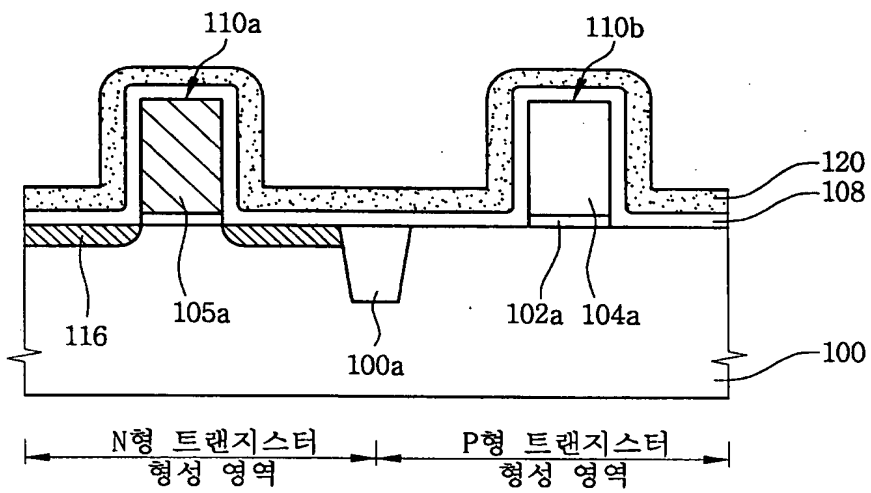
【도 3b】



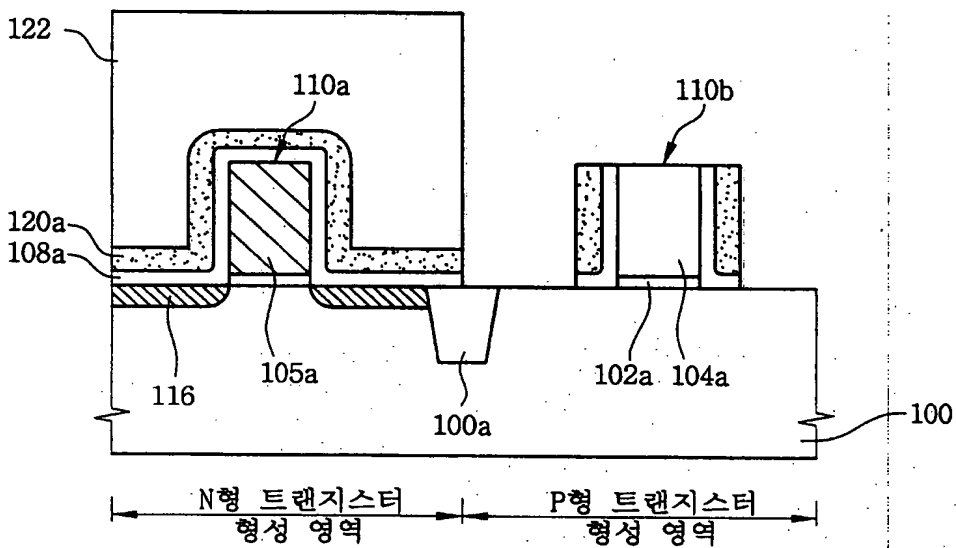
【도 3c】



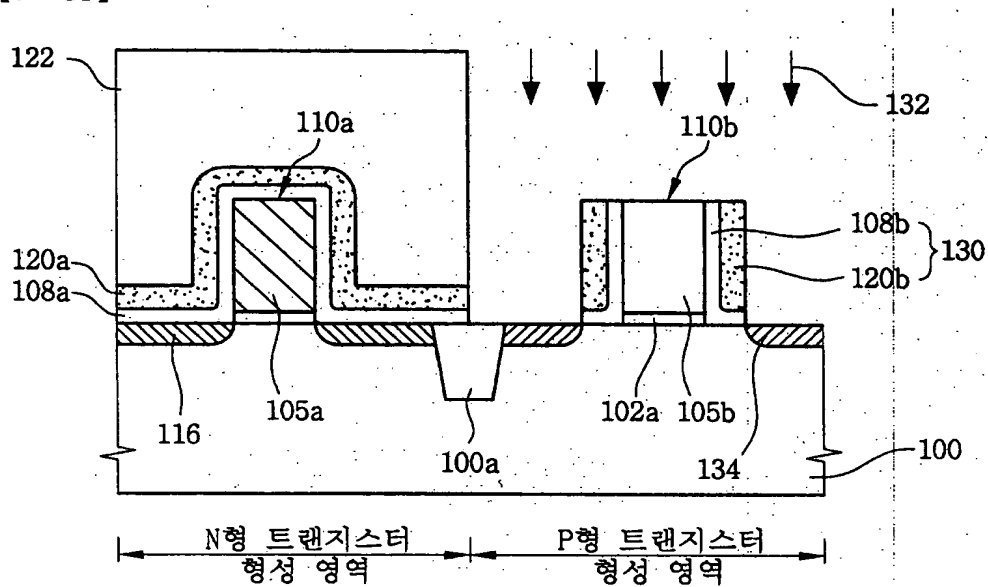
【도 3d】



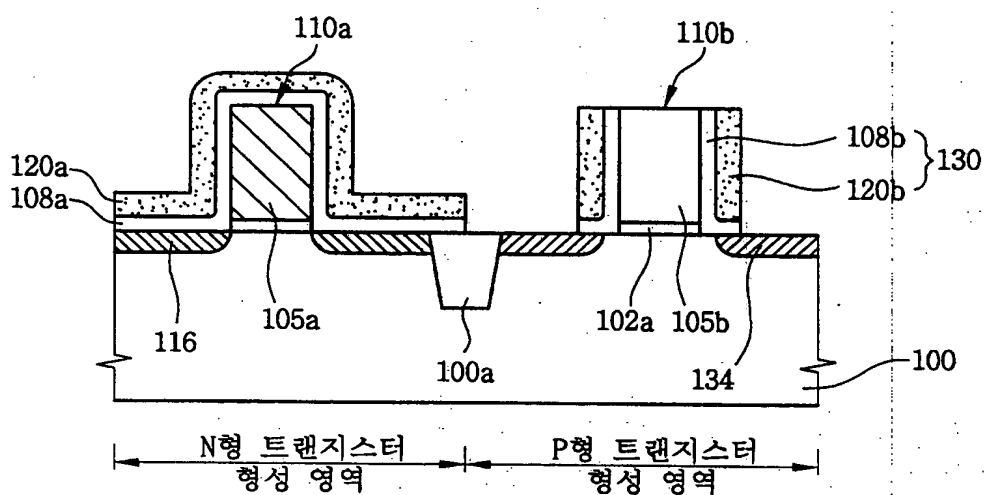
【도 3e】



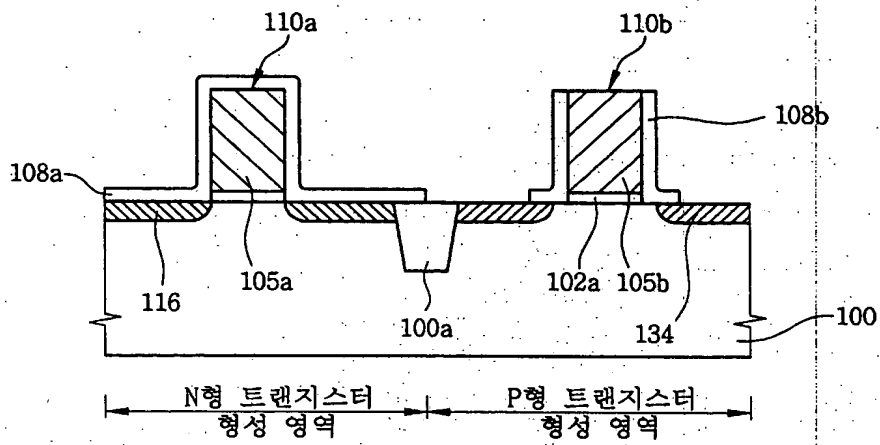
【도 3f】



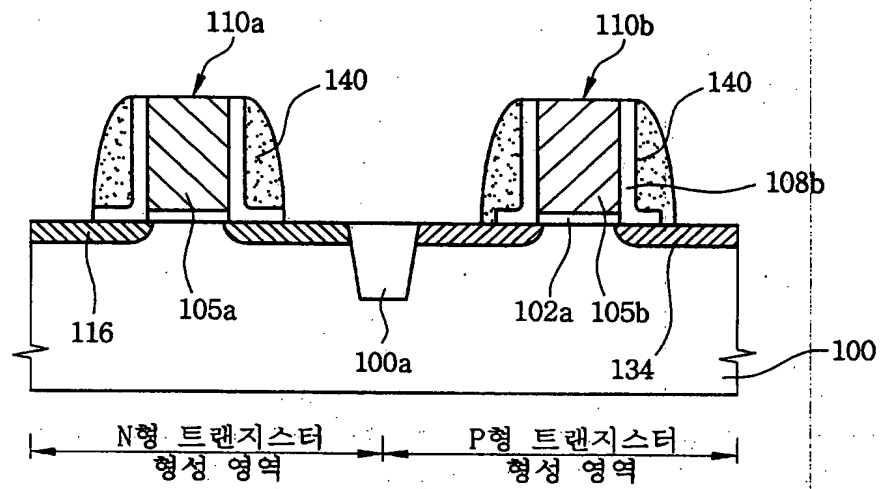
【도 3g】



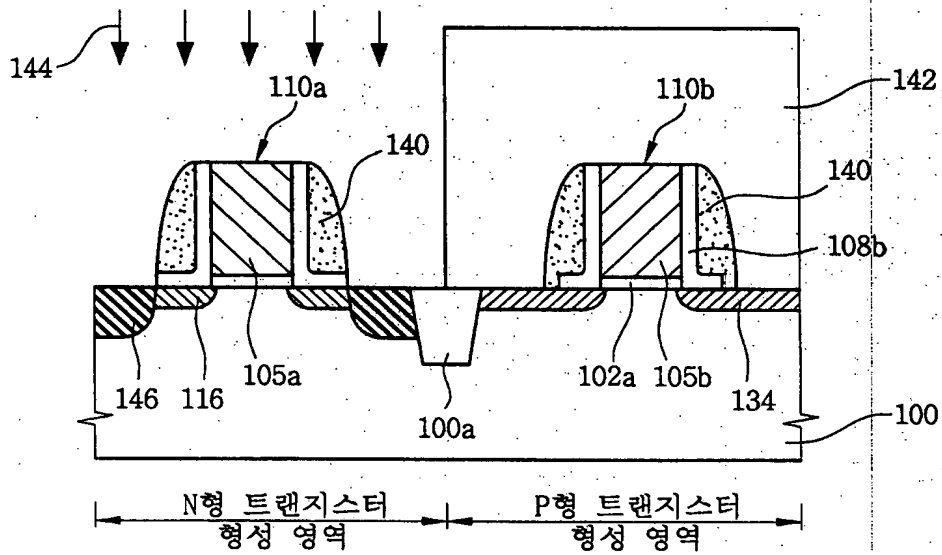
【도 3h】



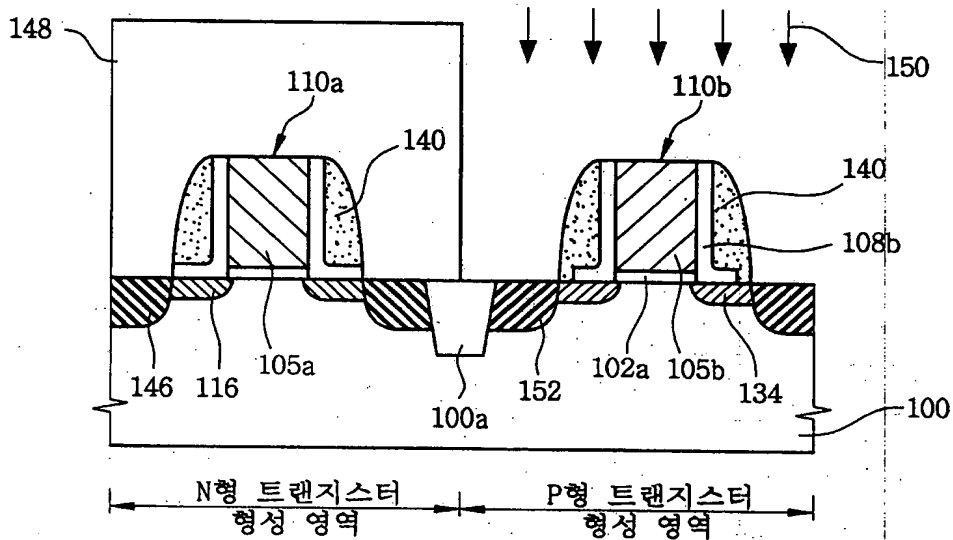
【도 3i】



【도 3j】



【도 3k】



N형 트랜지스터 형성 영역

P형 트랜지스터 형성 영역